

ソフトコンピューティングを応用した VLSI 自動フロアプランの研究

Application of Soft Computing to Automated Floorplan for VLSI Design

上田 隆之[†] 江口 一彦^{††} 川本 洋^{†††} 山城 治^{††††} 大嶋 健司^{†††††}

Takayuki UEDA, Kazuhiko EGUCHI, Hiroshi KAWAMOTO Masaru YAMASHIRO, Kenji OSHIMA

Abstract This paper proposes to apply fuzzy inference to automate the floorplanning design which decides a macroscopic placement of the top layer of LSI physical implementation. (1) Positioning of major blocks to be inferred by fuzzy inference based on the knowledge and experience of experts. (2) Genetic algorithms are employed to optimize the placement of such blocks that are not suitable for fuzzy inference because the fitness value is lower than certain level, to avoid the mess of fuzzy rules. (3) The result of fuzzy inference will be embedded into the initial population of genetic algorithms so as to realize simpler cost function and faster computation time than the conventional genetic algorithms which employ the initial population generated by using random numbers.

1. はじめに

VLSI の詳細設計段階における配置配線ではもはや人手が介入することは殆どなく、逆に人手の介入はエラーの原因を作りこむ危険性のほうがはるかに大きい。しかし大きな IP やブロックを含む最上位階層のレイアウト概略配置、即ちフロアプランの段階では、熟練設計者による人手の介入が必要になるケースは少なくない。

さらに最近では集積度の増大に伴い、論理合成後に行われる通常のフロアプランだけでなく、RTL の段階で最終的なチップイメージを把握して論理合成のためのタイミング制約を高精度に求めることを目的とした RTL フロアプランも広く行われるようになった。

いずれのフロアプランにおいても、物理的な形状とサイズが固定したハード IP、アスペクト比が決まっていないソフト IP、詳細設計もまだ定まっていないさまざまなブロックや単体レベルの機能素子等が混在するなか、チップサイズ、性能、特性、シグナルインテグリティ、消費電力等々きわめて広範囲にわたる設計要素のトレードオフを考慮しながら最上位のマクロ的な配置を決定してゆかなければならない。一方詳細物理設計へ入ってからフロアプランへ手戻りすることは開発期間、開発コストへ多大な影響を及ぼす。

LSI のフロアプラン自動化は Otten による Slicing 手法の提案¹⁾と D.F.Wong らのグループによるその改良²⁾³⁾、またグラフ理論に基づいた手法⁹⁾¹¹⁾や Cohoon その他による遺伝的アルゴリズムの適用¹²⁾¹⁶⁾など種々の手法が提案・開発されてきた。現在では商用の物理設計ツールは殆どが何らかの形で自動フロアプランツールを装備している。

一般に LSI 上での配置問題は指定されたコスト関数に対する最適化問題として定式化されるが、フロアプランにおいては配置対象となるブロックの形状は長方形に限定できてもそのサイズやアスペクト比は小さなものから大きなものまで幅広く分布し、考慮しなければならない設計要

[†] 愛知工業大学 電気電子工学専攻 (豊田市)

^{††} 愛知工業大学 電子工学科 (豊田市)

^{†††} (財)北九州市産業学術推進機構 SoC 設計センター (北九州市)

^{††††} Renesas System Solutions Asia Pte. Ltd (シンガポール)

^{†††††} 埼玉大学 工学部 電気電子システム工学科 (さいたま市)

素の多さゆえ、コスト関数の設定が困難である。

同一テクノロジーで同じような規模であっても、例えば ASIC の場合と汎用のマイクロコントローラーの場合とではチップ物理設計における最適解のトレードオフが異なるように、対象 LSI がどんな用途を狙っているかによってもフロアプランにおけるコスト関数は変わってくる。このため商用の自動フロアプランツールを使っても後から設計者による人手介入が必要になるケースが多い。熟練した設計者は配置問題に対する定量的な定式化がなくても自らの技術と知見に基づき、そのチップのアプリケーションも考慮してフロアプランの設計を行なう。

2. ファジィ推論によるブロック配置

遺伝的アルゴリズムは最適化問題に対する優れた解決手法であるが、乱数を用いて初期世代を生成するため、良好な結果を得るためには評価関数の良否だけではなく初期世代の人口を大きくとる必要がある。このことは計算時間、メモリ容量とのトレードオフになる。

ファジィ理論は自動制御の世界では広く応用されており、数学的な方程式が立てにくいあるいはアルゴリズム的に厳密な記述は困難であるが、熟練技術者の知識と経験に基づいたあいまいさをもった言葉では処理基準または手順を示せるような対象に対して有効とされている。

一般に設計現場には経験豊富なベテラン設計者が存在し、知識と経験の蓄積がある。

筆者らは熟練した LSI 設計者の知見と経験からファジィルールを導出し、ファジィ推論によりフロアプランにおける主要なブロックの配置を推論する手法を提案した¹⁷⁾¹⁸⁾。推論の結果は遺伝的アルゴリズムの初期世代の生成に埋め込み、推論しきれなかったブロックは遺伝的アルゴリズムによる最適化問題として解く。

3. 設計に関する知識

LSI 設計者がフロアプラン設計時に考慮する事項は多岐にわたるが、ごく単純に一般化してその例をあげれば（ピン配置は決定しているものと仮定する）：

- ・ チップ形状はできるだけ正方形にしたい。
- ・ パッドリミットでなければチップサイズは出来るだけ小さくしたい。
- ・ CPU コアとか大きなメモリブロックはチップの辺に沿わせて配置したほうが良い。出来ればコーナーに合わせて配置したい。
- ・ I/O バッファ(外部ピン)との結合度が強いブロックはそのサイズにかかわらずアクティブエリアの辺に沿わせて配置したほうが良い

・ I/O バッファと結合度が低く、内部に配置されるブロックとの結合度が強いブロックはそのサイズを勘案の上チップの内側に配置したほうが良い。

・ I/O バッファと内部ブロックとの結合度は遠心力のように働き、内部ブロック同士の結合度は求心力のように働く。

・ 相互の結合度が強いブロックは出来るだけ隣接して配置する。

もちろん上記の示唆は厳密で断定的なものではなく、実際の設計でははるかに複雑で多数の要件を検討しながらトレードオフが判断される。しかし、遺伝的アルゴリズムの初期世代を推論するために前述のような知見を元にファジィ推論を実装しても一般性は損なわれなれないと思われる。

4. ファジィルール

3 節で述べたような設計知識に基づいて次のようなファジィルールを構築した。

A) I/O バッファとの結合度が低く、内部ブロック同士の結合度が高く、サイズが小さいブロックは、チップの中心部あるいはその近傍に配置するほうがよい。

B) サイズが大きく、隣接ブロックとの結合度が中程度のブロックはコーナー(チップ四隅の角)に合わせて配置するとよい。

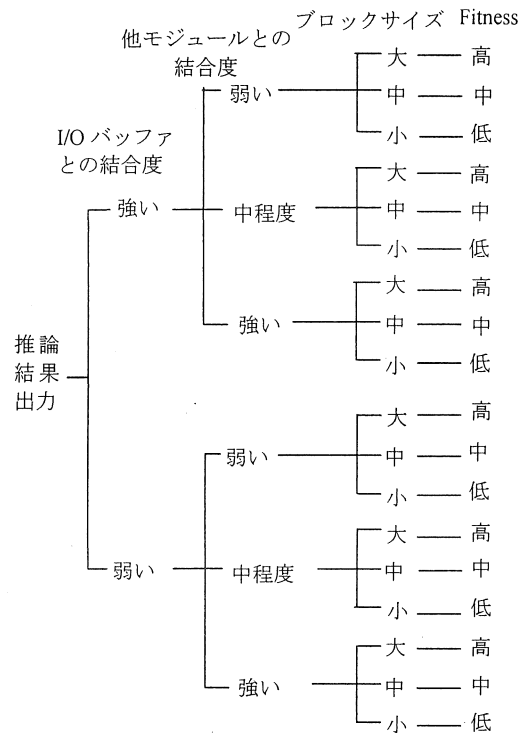


図 1 コーナーへ配置するブロックの推論ルール

C) I/O バッファとの結合度が強いブロックはアクティブエリアの辺(perimeter)に沿って配置するのがよい。ただしいずれのファジールールも当該ルール、または先行する他のルールによってその場所に別のブロックが配置されていないことを前提とする。

図 1 にコーナーへ配置するブロックの推論ルール(上記 B のケース)を示す。図 2 にこの推論を実行するためのメンバーシップ関数と、ブロックサイズ、ブロック同士の結合度、I/O バッファとの結合度に関するファジイ変数を示す。ファジイ変数のパラメータは実際の設計例を参考にして導いた。

5. ファジイ推論処理

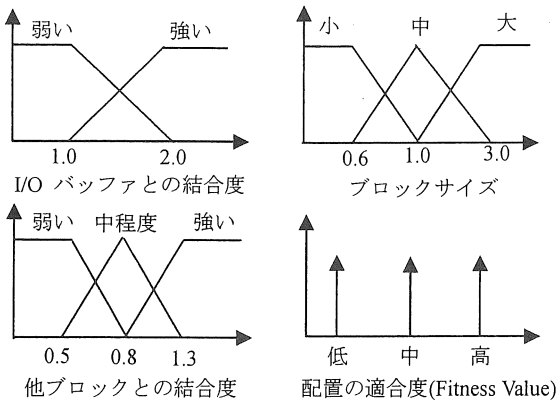


図 2 メンバーシップ関数とファジイ変数

図 3 に熟練技術者の設計によるフロアプラン例を示す。この例では大きさとアスペクト比が異なる 15 個のブロックが存在する。この例に基づきファジイ推論処理の手順を図 4 に示す。

ファジイ推論処理に対する入力データは配置すべきブロックの形状とサイズ(幅 W, 高さ H)と各ブロック間の結合度、各ブロックと I/O バッファ(チップの上下左右)との結合度である。ピン配置は与えられているものと仮定する。

適当なチップサイズを仮定し、4 節で述べたファジールールによりチップ中心付近、チップの四隅付近への配置について、図 2 に示したメンバーシップ関数とファジイ変数を用いて各ブロックの適合度(fitness value)を計算する。図 5 の例では、①ブロック#3 が中心付近への配置に関し適合度 0.80823 で最も高く適合する。②右上隅にはブロック#1 が適合度 0.547516、③左上隅にはブロック#0 が適合度 0.459838、④左下隅にはブロック#4 が適合度 0.309517 で適合する。⑤右下の隅にはブロック#7 と#9 が候補となるが適合度はともに 0.2 未満と小さく、必ずしもこの場所への配置が適切とは言い切れない。

以上の推論結果に基づき乱数により生成した遺伝的アルゴリズムの初期世代を編集する。すなわちファジイ推論により配置位置を決定したブロックについては遺伝子情報を推論結果に基づいて書き換える。適合度が高いものほど遺伝子の書き換え率を上げる。

この編集された初期世代を入力として、適合度が一定レベルより低い、あるいは推論対象にならなかったブロックの配置を通常の遺伝的アルゴリズムにより処理する。

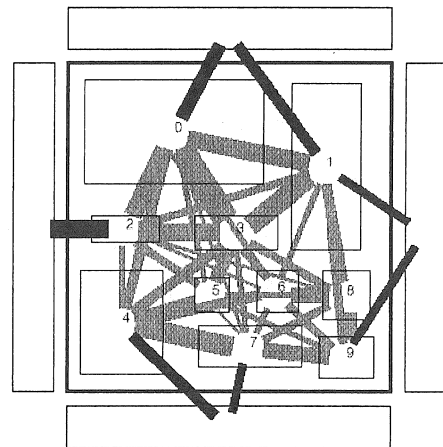


図 3 フロアプラン例(熟練技術者の設計)

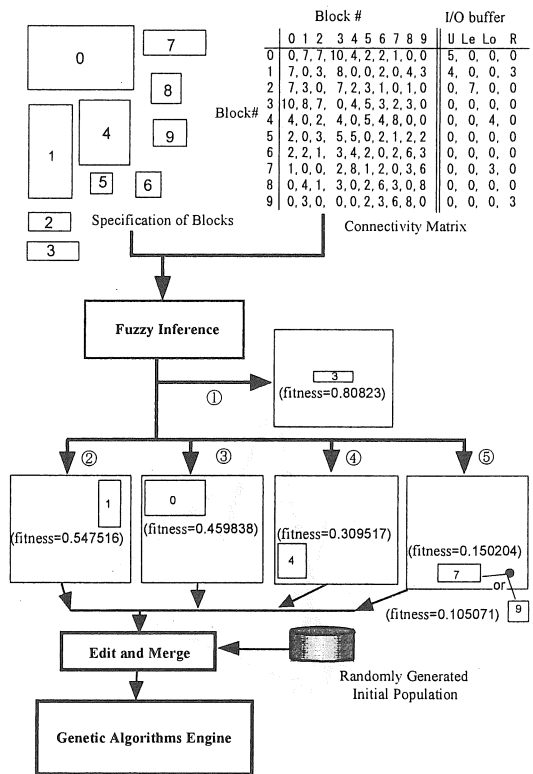


図 4 プログラム処理手順

6. 遺伝的アルゴリズム

6・1 Coding

遺伝的アルゴリズムにおいて遺伝子と対象問題の対応を定義する coding を図 5 に示す。

1つの配置案を 1 個体とし、X、Y、R の 3 種類の染色体 (Chromosome) を考える。X、Y は各ブロックの中心座標 (x_i, y_i) に、R は回転に対応する。R=0 は回転なし、R=1 は 90 度時計方向回転を意味する。 n 個のブロックがあるときは、各染色体は n 個の遺伝子 (gene) を持つ。

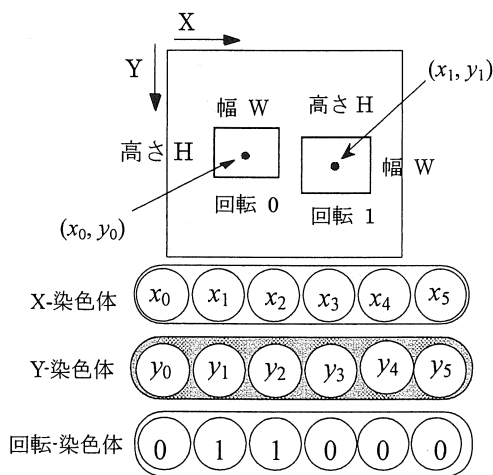


図 5 遺伝的アルゴリズムの coding

6・2 評価関数

簡単のためブロック間の総仮想配線長最小を評価関数とする。遺伝的アルゴリズムの処理の過程で発生するブロック同士の重なり、チップ領域外へのはみ出しを除くためこれらには高いペナルティをつけて評価関数に組み入れコスト関数とした。また総配線長を評価する際に、I/O パッ

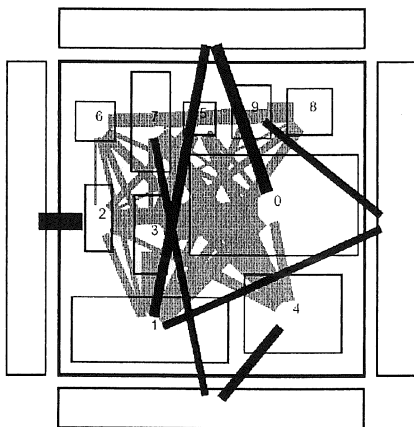


図 6 遺伝的アルゴリズムのみの配置結果 (実験 1)

ファと内部ブロック間の配線については内部ブロック間同士の配線に対して 10 倍の重みをつけている。

VLSI では内部ブロック間配線のネット数は $10^3 \sim 10^5$ のオーダーになるが、外部ピンは通常多くても数百のオーダーである。外部ピンすなわち I/O バッファへ接続するネットは、本数は少ないが配置への影響は極めて大きいからである。下記にコスト関数 E の計算式を示す。

$$E = \alpha \sum_i L_i + \beta \sum_i S_i + \gamma \sum_i OV_i$$

ここに L_i : 配線長, S_i : ブロック同士が重なり合う場合その面積, OV_i : チップ領域外へはみ出るブロックがあるときその面積, を示す。 α, β, γ はチューニングパラメータである。以下に述べるプログラム実験では $\alpha=1, \beta=10, \gamma=1000$ とした。

7. プログラム実験と考察

7・1 実験プログラム

第 5 節、第 6 節で説明した手順に基づきフロアプランを試行する実験プログラムを開発した。遺伝的アルゴリズム処理に関しては初期世代の人口数を指定可能に、また突然変異もパラメータにより指定した割合で実行できるようインプリメントした。

7・2 実験 1

図 3 で示した設計例についてプログラム実験を行った。遺伝的アルゴリズムの初期世代個体数を 2000、世代数を 150 世代とした。

遺伝的アルゴリズムのみによる配置結果を図 6、ファジィ推論と遺伝的アルゴリズムの両方を利用した場合の配置結果を図 7 に示す。

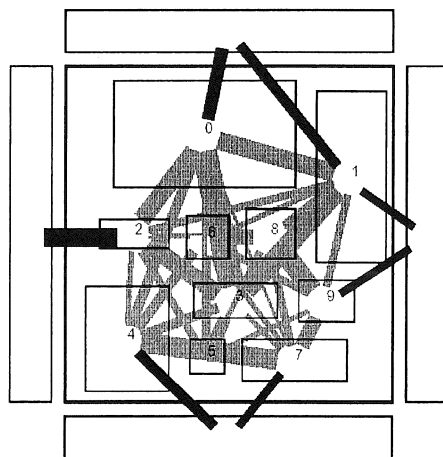


図 7 ファジィ推論と遺伝的アルゴリズムの配置結果 (実験 1)

配置結果から遺伝的アルゴリズムのみの処理よりも、ファジィ推論処理を適用した方が、ブロック同士の接続においてはなるべく隣同士に配置させ、また I/O バッファと接続のあるブロックについてはチップエリア内で I/O バッファの近くに配置していることがわかる。これによってファジィ推論処理を行った方がブロック同士や I/O バッファとブロックとの配線長が短くなっているため、良好な配置結果が得られたことがわかる。また、図 7 の配置結果において図 3 の熟練技術者の設計と比べても似たような配置結果を得た。

また、図 8 に示すコスト関数値の対世代変化からわかるようにファジィ推論による処理の方が遺伝的アルゴリズムだけで処理するよりも初期世代において半分以下の値から始まっている。また、収束結果がより良い値になっており、熟練技術者に近い値を得た。これは、ファジィ推論を用いてあらかじめ主要な位置に置くブロックを決めることによって良い個体を初期世代として与えることができ、局所解に陥る可能性が減少したためだと考えられる。

コスト関数の計算に利用されるブロック間配線長の世代変化の推移を図 9、I/O バッファとの配線長の対世代変化を図 10、ブロックの重なり対世代変化を図 11 に示す。

ブロック間配線長やブロックと I/O バッファとの配線長では収束前による世代変化で増加部分があることがわかる。これは、ブロック同士が重ならないように離して配置する段階で、配線長が増加したからと考えられる。また、ファジィ推論を用いた方が用いなかったときに比べて収束結果が良好になっていることがわかる。

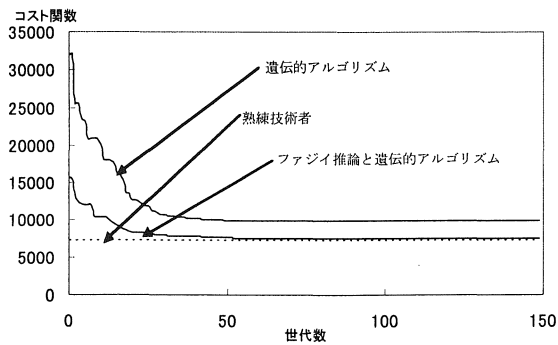


図 8 コスト関数の対世代変化 (実験 1)

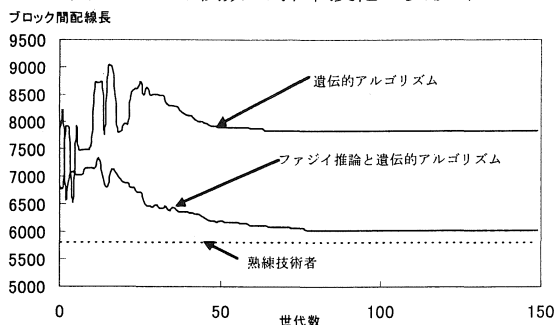


図 9 ブロック間配線長の対世代変化 (実験 1)

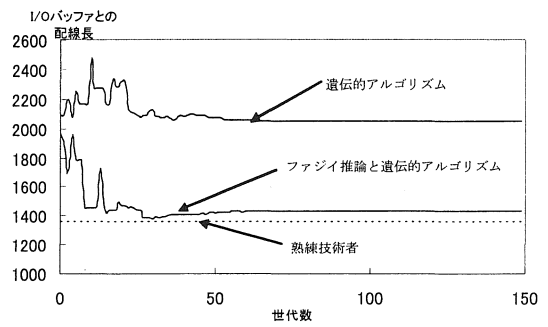


図 10 I/O バッファとの配線長の対世代変化 (実験 1)

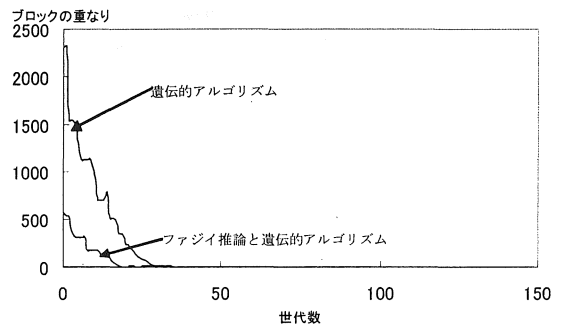


図 11 ブロックの重なり対世代変化 (実験 1)

7・3 実験 2

図 12 に示す設計例を本プログラムにより処理をした。遺伝的アルゴリズムの初期世代個体数を 2000、世代数を 150 世代として行った。

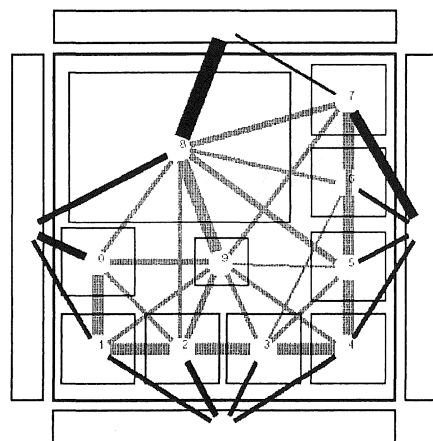


図 12 熟練技術者の設計例 (実験 2)

遺伝的アルゴリズムによる場合の配置結果を図 13、ファジィ推論と遺伝的アルゴリズムの両方を利用した場合の配置結果を図 14 に示す。

配置結果から遺伝的アルゴリズムのみで処理した場合において、ブロック同士やブロックと I/O バッファの配線が長くなっていることがわかる。設計データが同一サイズ・同一形状のブロックを多数含んでおり、遺伝的アルゴリズムによる最適化問題の解法では局所解に陥りやすいため

であると考えられる。これに対して、ファジィ推論処理を行った方はブロック同士が接続するものについては隣同士に配置されており、長い配線がほとんどないことがわかる。また、ファジィ推論による初期世代生成により図 14 に示す配置結果が図 12 に示す熟練技術者と同じような配置結果を得た。

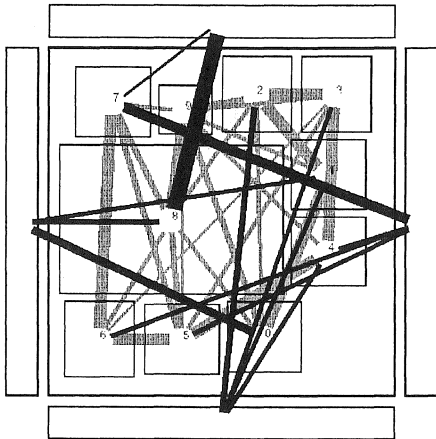


図 13 遺伝的アルゴリズムのみの配置結果 (実験 2)

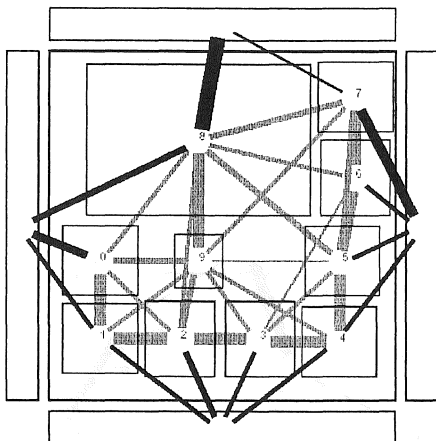


図 14 ファジィ推論と遺伝的アルゴリズムの配置結果 (実験 2)

実験 1 と同様にコスト関数の対世代変化を図 15 に示す。ファジィ推論を導入した場合において、遺伝的アルゴリズムだけで処理する場合に比べて少ない世代演算で収束し、収束結果も良好となっていることがわかる。また、熟練技術者と比べても良好な値を得た。

さらに、ブロック間配線長の世代変化の推移を図 16、I/O バッファとの配線長の対世代変化を図 17、ブロックの重なり対世代変化を図 18 に示す。

ブロック配線長や I/O バッファとの配線長は、収束結果も熟練技術者よりも良好な値になり、ファジィ推論処理が

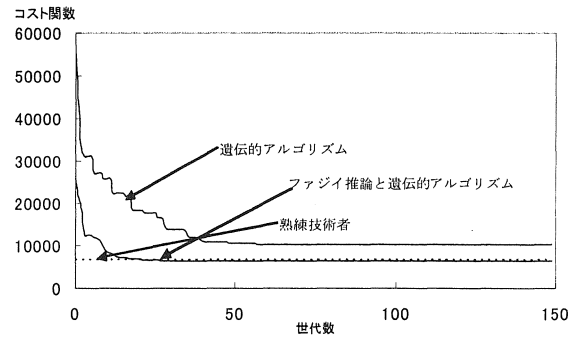


図 15 コスト関数の対世代変化 (実験 2)

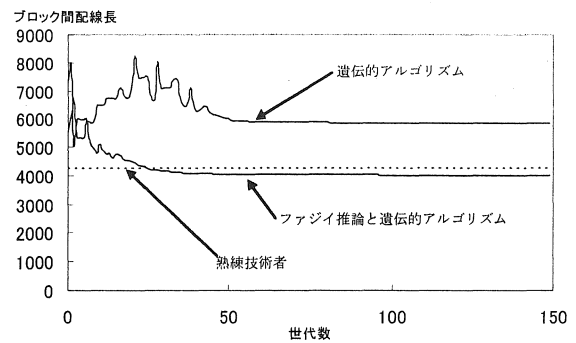


図 16 ブロック間配線長の対世代変化 実験(2)

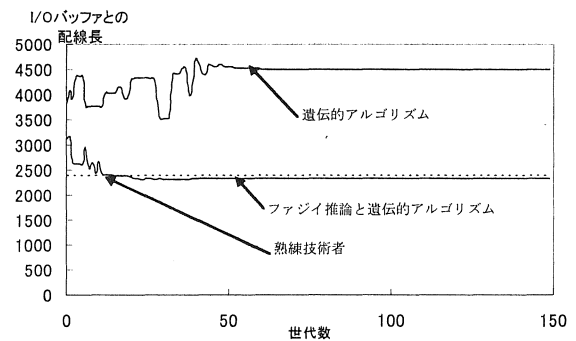


図 17 I/O バッファとの配線長の対世代変化 (実験 2)

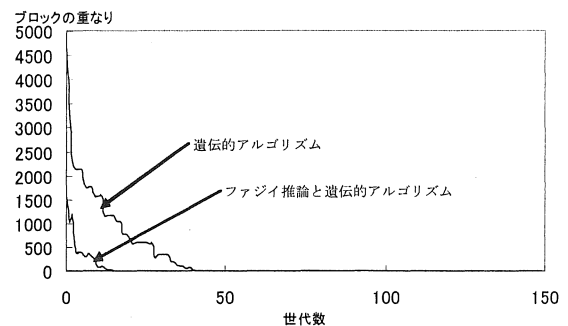


図 18 ブロックの重なり対世代変化 (実験 2) 有効であることがわかる。

8. 結論

本研究では、半導体の設計の一部であるフロアプラン設計の自動化においてソフトコンピューティングの範疇となるファジィ推論と遺伝的アルゴリズムを応用することを提案した。

プログラム実験により、遺伝的アルゴリズム初期世代の個体生成にファジィ推論を導入することで、良質な初期世代から始まり、収束結果も良好になることがわかる。

また、熟練技術者による配置結果と比べてみても、配線長やコスト関数が近い値となり、良質な結果を得ることができた。さらに、配置結果も熟練技術者による設計に近い配置を得ることができた。このことにより、ファジィ推論と遺伝的アルゴリズムを用いた本実験プログラムはフロアプランにおいて熟練技術者による設計に近い結果を得る見通しを立てることができた。

今後の課題として、各種パラメータのチューニング及び ISPD98 のベンチマークデータなどによるより客観的な評価が必要である。

謝辞

本研究の一部には(株)日立製作所半導体グループ(現(株)ルネサステクノロジー)からの奨学寄附金のご援助及び同社の DA 技術者・設計技術者の方々から有益なご討論を戴きました。ここに深謝いたします。

参考文献

- 1) R.H.J.M. Otten, "Automatic Floorplan Design", Proc. of 19th Design Automation Conference, Volpp261-267, June.1982
- 2) D.F. Wong, CL. Liu, "A New Algorithm for Floorplanning", Proc. of 23rd Design Automation Conference, pp101-105, June.1986
- 3) T. Wang, D.F. Wong, "An Optimal Algorithm for Floorplan Area Optimization", Proc. of 27th Design Automation Conference, pp 180- 186, June.1990
- 4) T.Wang, D.F.Wong, "Optimal Floorplan Area Optimization", IEEE Trans. on Computer-Aided Design, Vol.11, no.8, pp992-1002, August.1992
- 5) S.Wimer, I.Koren, I.Cederbaum, "Optimal Aspect Ratios of Building Blocks in VLSI", IEEE Trans. On Computer-Aided Design, Vol. 8, no.2, 139-145, February.1989
- 6) M.Z. Kang, W.W. Dai, "Arbitrary Rectilinear Block Based on Sequence Pair", Proc. of ICCAD 98, pp259-266, November.1998
- 7) F.Y.Young, D.F.Wong, "Slicing Floorplans with Pre-placed Modules", Proc. of ICCAD 98, pp252-258, November.1998
- 8) F.Y.Young, D.F.Wong, "How Good Are Slicing Floorplans", Proc. of International Symposium on Physical Design 97, pp144-149, 1997
- 9) B.Lokanathan, E.Kinnen, "Performance Optimized Floor Planning by Graph Planarization," Proc. of 26th Design Automation Conference, pp116-121, June.1989
- 10) T.Wang, D.F.Wong, "A Graph Theoretique to Speed up Floorplan Area Optimization" Proc. of 29th Design Automation Conference, pp62-68, June.1992
- 11) P.S.Gupta, S.Sur-Kolay, "Slicibility of Rectangular Graphs and Floorplan Optimization", Proc. of International Symposium on Physical Design 97, pp150-155, 1997
- 12) J.P.Cphoon, W.D.Paris, "Genetic Placement", Proc. of ICCAD 86, pp422-425, November.1986
- 13) J.P.Cphoon, S.U.Hedge, W.N.Martin, D.Richards, "Floorplan Design Using Distributed Genetic Algorithms", Proc of ICCAD 88, pp452-455, November.1988
- 14) J.P.Cphoon, S.U.Hedge, W.N.Martin, D.S.Richards, "Distributed Genetic Algorithms for the Floorplan Design Problem", IEEE Trans. on Computer- Aided Design, Vol.10, no.4, pp483-492, April.1991
- 15) M. Rebaudengo, M.S. Reorda, "GALLO: A IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15, No. 8, pp943-951, August 1996
- 16) K.Eguchi, J.Suzuki, S.Yamane, K.Ohshima, "An Application of Genetic Algorithms to Floorplanning of VLSI", Proceeding of RSCTC '98 (International Conference on Rough Set and Current Trend in Computing), LNAI 1424 Springer, pp263-270, June.1998
- 17) K.Eguchi, O.Yamashiro, H.Kawamoto, N.Tsuji, S.Yamane, K.Oshima, "Application of Fuzzy Inference and Genetic Algorithms to VLSI Floorplanning Design", Proc. of IEEE International Conference on Industrial Electronics, Control and Instrumentation (IECON-2000) IT2-FNN-3 ,pp184-188
- 18) 上田隆之, 江口一彦他: ファジィ推論と遺伝的アルゴリズムを応用した VLSI 自動フロアプラン自動化の試み, 情報処理学会 DA シンポジウム 2003 論文集, Vol.2003, no.11, pp97-102, July.2003

(受理 平成 16 年 3 月 19 日)